

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0024

Applicant: Kye Nam LEE et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: METHOD FOR MANUFACTURING MAGNETIC RANDOM ACCESS
MEMORY

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

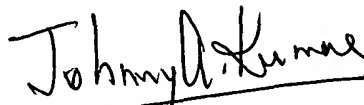
Korean Patent Application No. 10-2002-0087083 filed December 30, 2002

Respectfully submitted,

Date: June 30, 2003

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

By



Johnny A. Kumar

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



26633

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0087083
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

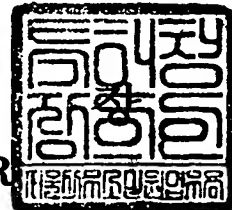
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0078
【제출일자】	2002.12.30
【국제특허분류】	H01L
【발명의 명칭】	마그네틱 램의 형성방법
【발명의 영문명칭】	A method for manufacturing of a Magnetic random access memory
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	이계남
【성명의 영문표기】	LEE, Kye Nam
【주민등록번호】	621217-1018133
【우편번호】	467-866
【주소】	경기도 이천시 부발읍 아미리 산136-1
【국적】	KR
【발명자】	
【성명의 국문표기】	장인우
【성명의 영문표기】	JANG, In Woo
【주민등록번호】	730224-1652713

1020020087083

출력 일자: 2003/5/20

【우편번호】 138-160
【주소】 서울특별시 송파구 가락동 가락아파트 99-508
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이후
동 (인) 대리인
이정훈 (인)
【수수료】
【기본출원료】 15 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 마그네틱 램 (magnetic RAM, 이하에서 MRAM 이라 함) 의 형성방법에 관한 것으로,

MRAM 의 제조 공정시 MTJ 셀 및 연결층의 특성 및 신뢰성을 향상시키기 위하여,

상기 연결층용 금속층 상에 MTJ 물질층인 고정자화층, 터널장벽층 및 자유자화층을 적층하고 상기 MTJ 물질층 상부에 하드마스크층을 형성한 다음, MTJ 셀 마스크를 이용한 사진식각공정으로 상기 하드마스크층과 자유자화층을 식각하며 상기 터널장벽층을 노출시키고 전체표면상부에 장벽층을 증착하고 측벽에 절연막 스페이서를 형성한 다음, 상기 절연막 스페이서 및 하드마스크층을 식각 마스크로 하여 상기 터널장벽층, 고정자화층 및 연결층용 금속층을 식각함으로써 MTJ 셀을 형성하는 동시에 연결층을 패터닝하는 공정으로 단순화시키고 식각공정시 유발되는 반응생성물이나 폴리머의 유발을 최소화시킬 수 있도록 하여 반도체소자의 수율, 생산성, 특성 및 신뢰성을 향상시키는 기술이다.

【대표도】

도 3d

【명세서】

【발명의 명칭】

마그네틱 램의 형성방법 {A method for manufacturing of a Magnetic random access memory}

【도면의 간단한 설명】

도 1a 내지 도 1g 는 종래기술에 따른 마그네틱 램의 형성방법을 도시한 단면도.

도 2 는 종래기술에 따라 형성된 마그네틱 램의 샘플 사진.

도 3a 내지 도 3d 는 본 발명의 실시예에 따른 마그네틱 램의 형성방법을 도시한 단면도.

〈 도면의 주요 부분에 대한 부호의 설명 〉

11,41 : 반도체기판 13,43 : 연결층용 금속층

15,45 : 고정산화층 17,47 : 터널장벽층

19,49 : 자유산화층 21 : 제1하드마스크층

23 : 제1감광막패턴 25 : 폴리머

27 : 제2하드마스크층 29 : 제2감광막패턴

31 : 반응생성물 33 : 금속성 폴리머

51 : 하드마스크층 53 : 감광막패턴

55 : 장벽층 57 : 산화막 스페이서

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <13> 본 발명은 마그네틱 램 (magnetic RAM, 이하에서 MRAM 이라 함) 의 형성방법에 관한 것으로, 특히 SRAM 보다 빠른 속도, DRAM 과 같은 집적도 그리고 플래쉬 메모리 (flash memory) 와 같은 비휘발성 메모리의 특성을 갖는 마그네틱 램의 제조 공정을 변화시켜 소자의 전기적 특성을 향상시키는 기술에 관한 것이다.
- <14> 대부분의 반도체 메모리 제조 업체들은 차세대 기억소자의 하나로 강자성체 물질을 이용하는 MRAM 의 개발을 하고 있다.
- <15> 상기 MRAM 은 강자성 박막을 다층으로 형성하여 각 박막의 자화방향에 따른 전류 변화를 감지함으로써 정보를 읽고 쓸 수 있는 기억소자로서, 자성 박막 고유의 특성에 의해 고속, 저전력 및 고집적화를 가능하게 할뿐만 아니라, 플래쉬 메모리와 같이 비휘발성 메모리 동작이 가능한 소자이다.
- <16> 상기 MRAM 은 스핀이 전자의 전달 현상에 지대한 영향을 미치기 때문에 생기는 거대자기저항 (giant magnetoresistive, GMR) 현상이나 스핀 편극 자기투과 현상을 이용해 메모리 소자를 구현하는 방법이 있다.
- <17> 상기 거대자기저항 (GMR) 현상을 이용한 MRAM 은, 비자성층을 사이에 둔 두 자성층의 스핀 방향이 같은 경우보다 다른 경우의 저항이 크게 다른 현상을 이용해 GMR 자기 메모리 소자를 구현하는 것이다.

- <18> 상기 스핀 편극 자기투과 현상을 이용한 MRAM 은, 절연층을 사이에 둔 두 자성층에서 스핀 방향이 같은 경우가 다른 경우보다 전류 투과가 훨씬 잘 일어난다는 현상을 이용하여 자기투과 접합 메모리 소자를 구현하는 것이다.
- <19> 상기 MRAM 은 하나의 트랜지스터와 하나의 MTJ 셀로 형성한다.
- <20> 도 1a 내지 도 1g 는 종래기술에 따른 마그네틱 램의 형성방법을 도시한 단면도이다.
- <21> 도 1a 를 참조하면, 반도체기판(도시안됨) 상에 하부절연층(11)을 형성한다.
- <22> 이때, 상기 하부절연층(11)은 소자분리막(도시안됨), 리드라인인 제1워드라인과 소오스/드레인이 구비되는 트랜지스터(도시안됨), 그라운드 라인(도시안됨) 및 도전층(도시안됨), 라이트 라인인 제2워드라인(도시안됨)을 형성하고 그 상부를 평탄화시켜 형성한 것이다.
- <23> 그 다음, 상기 도전층에 접속되는 연결층용 금속층(13)을 형성한다. 이때, 상기 연결층용 금속층(13)은 W, Al, Pt, Cu, Ir, Ru 등과 같이 반도체소자에 사용되는 일반적인 금속으로 형성한 것이다.
- <24> 상기 연결층용 금속층(13) 상부에 전체표면상부에 MTJ 물질층을 증착한다. 이때, 상기 MTJ 물질층은 고정자화층 (magnetic pinned layers)(15), 터널장벽층 (tunneling barrier layers)(17) 및 자유자화층 (magnetic free layers)(19)을 순차적으로 적층하여 형성한다.
- <25> 상기 고정자화층(15) 및 자유자화층(19)은 CO, Fe, NiFe, CoFe, PtMn, IrMn 등과 같은 자성물질로 형성한다.

- <26> 그 다음, MTJ 물질층(15,17,19) 상부에 제1하드마스크층(21)을 형성한다.
- <27> 도 1b를 참조하면, 제1하드마스크층(21) 상에 제1감광막패턴(23)을 형성한다. 이때, 상기 제1감광막패턴(23)은 MTJ 셀 마스크(도시안됨)를 이용한 노광 및 현상 공정으로 형성한 것이다.
- <28> 도 1c를 참조하면, 상기 제1감광막패턴(23)을 마스크로 하여 상기 제1하드마스크층(21)과 자유자화층(19)을 식각한다.
- <29> 이때, 상기 자유자화층(19)과 제1하드마스크층(21) 측벽에 폴리머(25)가 부착된다.
- <30> 도 1d 및 도 1e 를 참조하면, 상기 제1감광막패턴(23)을 제거하고 전체표면상부에 제2하드마스크층(27)을 형성한다.
- <31> 도 1f 및 도 1g 를 참조하면, 상기 제2하드마스크층(27) 상에 제2감광막패턴(29)을 형성한다. 이때, 상기 제2감광막패턴(29)은 연결층 마스크(도시안됨)를 이용한 노광 및 현상공정으로 형성한 것이다.
- <32> 상기 제2감광막패턴(29)을 마스크로 하여 상기 터널 장벽층(17), 고정자화층(15) 및 연결층용 금속층(13)을 식각하는 공정으로 연결층용 금속층(13) 및 MTJ 셀을 패터닝한다.
- <33> 여기서, 상기 패터닝 공정은 상기 고정자화층(15)의 자성물질과 연결층의 금속층의 이중 물질을 동시에 식각하여 연결층의 단면 프로파일이 네가티브 커팅되거나 언더컷이 유발되고,

<34> 자성물질의 식각시 발생하는 비휘발성 반응생성물(31)이 제2감광막패턴(29) 상부 및 피식각 대상층들 상부에 적층되어 식각공정을 계속하기 어렵고 세정 공정을 어렵게 하여 상기 반응생성물(31)을 완전히 제거하는 경우 ㉠ 와 같이 언더컷이 유발되며, 제 1,2 하드마스크층(21,27) 및 하부절연층(11) 상부 및 측벽에 금속성 폴리머(33)가 형성된다.

<35> 상기 금속성 폴리머(33)는 소자의 전기적 특성을 저하시키고 그에 따른 소자의 특성 및 신뢰성을 저하시키는 문제점이 있다.

<36> 또한, 상기 연결층용 금속층(13)인 금속층의 네가티브 커팅이나 언더컷은 미세화된 소자에서 금속층이 벗겨져 소자의 수율 및 생산성을 저하시킬 수 있는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<37> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여,

<38> 하드마스크층의 표면에 보호막을 형성하고 그 측벽에 절연막 스페이서를 형성하여 식각공정시 반응생성물로 인한 소자의 특성 열화를 방지할 수 있는 마그네틱 램의 형성 방법을 제공하는데 그 목적을 갖는 발명입니다.

【발명의 구성 및 작용】

<39> 상기 목적 달성을 위해 본 발명에 따른 마그네틱 램의 형성방법은,

<40> 하부절연층을 통하여 반도체기판에 접속되는 연결층용 금속층을 형성하는 공정과,

<41> 상기 연결층용 금속층 상에 MTJ 물질층인 고정자화층, 터널장벽층 및 자유자화층을 적층하는 공정과,

<42> 상기 MTJ 물질층 상부에 하드마스크층을 형성하는 공정과,

- <43> MTJ 셀 마스크를 이용한 사진식각공정으로 상기 하드마스크층과 자유자화층을 식각하며 상기 터널장벽층을 노출시키는 공정과,
- <44> 상기 전체표면상부에 장벽층을 증착하는 공정과,
- <45> 상기 하드마스크층 및 자유자화층 측벽의 장벽층에 절연막 스페이서를 형성하는 공정과,
- <46> 상기 절연막 스페이서 및 하드마스크층을 식각 마스크로 하여 상기 터널장벽층, 고정자화층 및 연결층용 금속층을 식각함으로써 MTJ 셀을 형성하는 동시에 연결층을 패터닝하는 공정을 포함하는 것과,
- <47> 상기 장벽층은 TiN, TiON 또는 Ta 로 형성하는 것과,
- <48> 상기 절연막 스페이서는 산화막이나 질화막으로 형성하는 것을 특징으로 한다.
- <49> 이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.
- <50> 도 3a 내지 도 3d 는 본 발명에 따른 마그네틱 램의 형성방법을 도시한 단면도이다.
- <51> 도 3a를 참조하면, 반도체기판(도시안됨) 상에 하부절연층(41)을 형성한다.
- <52> 이때, 상기 하부절연층(41)은 소자분리막(도시안됨), 리드라인인 제1워드라인과 소오스/드레인이 구비되는 트랜지스터(도시안됨), 그라운드 라인 및 도전층(도시안됨), 라이트 라인인 제2워드라인(도시안됨)을 형성하고 그 상부를 평탄화시켜 형성한 것이다.
- <53> 그 다음, 상기 도전층에 접속되는 연결층용 금속층(43)으로 형성한다.
- <54> 상기 연결층용 금속층(43) 상부에 고정자화층(45), 터널장벽층 (tunneling barrier layers)(47) 및 자유자화층 (magnetic free layers)(49)이 순차적으로 적층

된 MTJ 물질층을 형성한다. 여기서, 상기 터널링 장벽층은 데이터 센싱 (data sensing) 에 필요한 최소한의 두께인 2 nm 이하의 두께로 형성된다.

<55> 상기 MTJ 물질층 상부에 하드마스크층(51)을 형성한다.

<56> 도 3b를 참조하면, 상기 하드마스크층(51) 상부에 감광막패턴(53)을 형성한다.

이때, 상기 감광막패턴(53)은 MTJ 셀 마스크를 이용한 노광 및 현상공정으로 형성한다.

<57> 도 3c를 참조하면, 상기 감광막패턴(53)을 마스크로 하여 상기 하드마스크층(51) 및 자유자화층(49)을 식각한다.

<58> 상기 감광막패턴(53)을 제거하고 상기 하드마스크층(51), 자유 자화층(49) 및 터널 장벽층(47) 표면에 장벽층(55)을 형성한다. 이때, 상기 장벽층(55)은 TiN, TaAlN, TiON 등과 같은 물질로 형성한다.

<59> 상기 장벽층(55)이 형성된 상기 하드마스크층(51)과 자유자화층(49)의 측벽에 산화막 스페이서(57)를 형성한다. 이때, 상기 산화막 스페이서(57)는 전체표면상부에 산화막을 일정두께 증착하고 이를 이방성 식각하여 형성한다. 상기 산화막 스페이서(57)는 질화막으로 형성할 수도 있다.

<60> 도 3d를 참조하면, 상기 하드마스크층(51)과 산화막 스페이서(57)를 마스크로 하여 상기 터널장벽층(47), 고정자화층(45) 및 연결층용 금속층(43)을 패터닝하여 MTJ 셀을 형성하는 동시에 연결층을 패터닝함으로써 MTJ 셀의 형성공정을 단순화시키고 연결층과의 접합 안정성을 향상시킬 수 있다.

【발명의 효과】

- <61> 이상에서 설명한 바와 같이 본 발명에 따른 마그네틱 램의 형성방법은,
- <62> 공정을 단순화시키고 금속층인 연결층의 패터닝 공정시 상기 연결층의 손상을 최소화함으로써 소자의 생산성, 수율, 특성 및 신뢰성을 향상시키는 효과를 제공한다.

【특허청구범위】**【청구항 1】**

하부절연층을 통하여 반도체기판에 접속되는 연결층용 금속층을 형성하는 공정과,

상기 연결층용 금속층 상에 MTJ 물질층인 고정산화층, 터널장벽층 및 자유산화층을 적층하는 공정과,

상기 MTJ 물질층 상부에 하드마스크층을 형성하는 공정과,

MTJ 셀 마스크를 이용한 사진식각공정으로 상기 하드마스크층과 자유산화층을 식각하며 상기 터널장벽층을 노출시키는 공정과,

상기 전체표면상부에 장벽층을 증착하는 공정과,

상기 하드마스크층 및 자유산화층 측벽의 장벽층에 절연막 스페이서를 형성하는 공정과,

상기 절연막 스페이서 및 하드마스크층을 식각 마스크로 하여 상기 터널장벽층, 고정산화층 및 연결층용 금속층을 식각함으로써 MTJ 셀을 형성하는 동시에 연결층을 패터닝하는 공정을 포함하는 마그네틱 램의 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 장벽층은 TiN, TiON 또는 Ta 로 형성하는 것을 특징으로 하는 마그네틱 램의 형성방법.

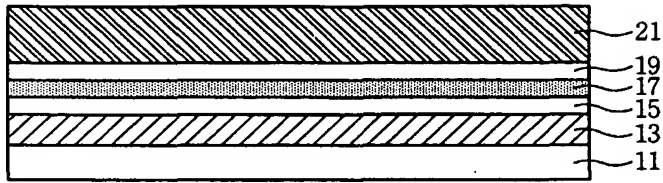
【청구항 3】

제 1 항에 있어서,

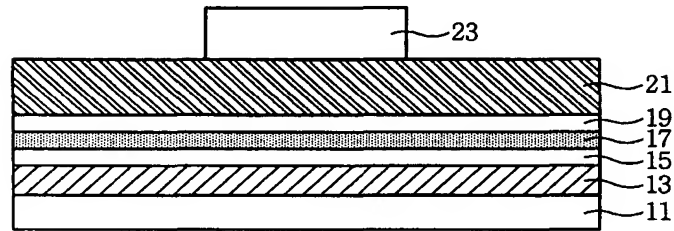
상기 절연막 스페이서는 산화막이나 질화막으로 형성하는 것을 특징으로 하는 마그네딕 램의 형성방법.

【도면】

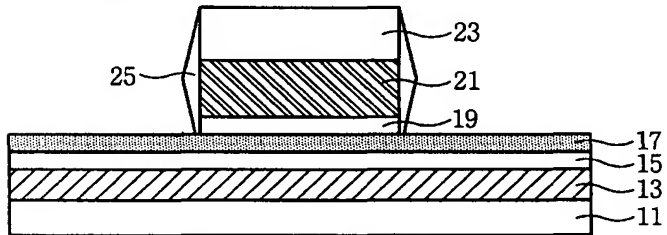
【도 1a】



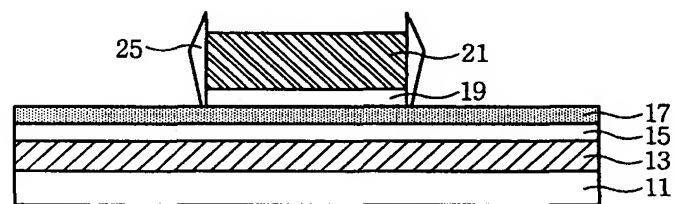
【도 1b】



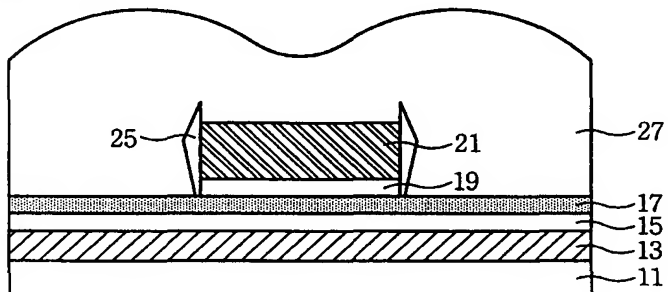
【도 1c】



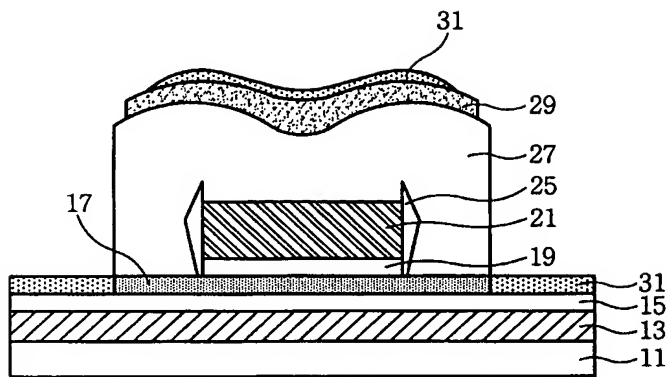
【도 1d】



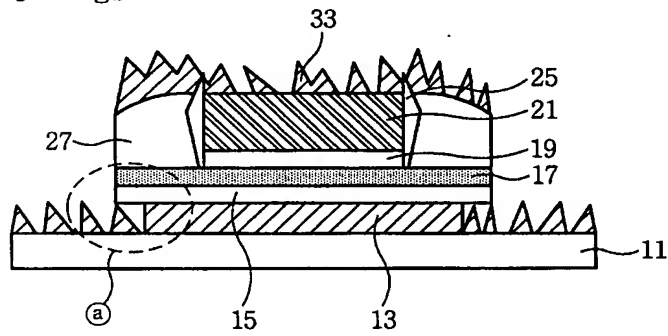
【도 1e】



【도 1f】



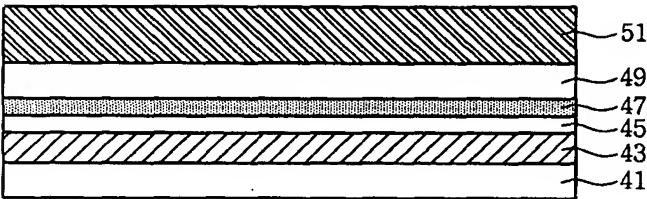
【도 1g】



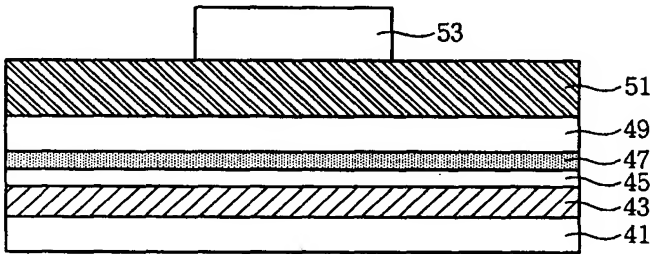
【도 2】



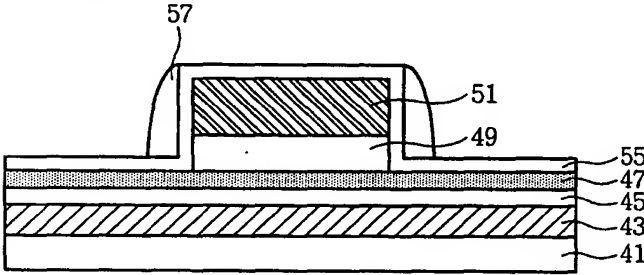
【도 3a】



【도 3b】



【도 3c】



【도 3d】

